

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

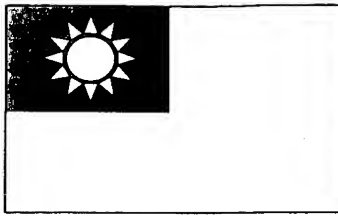
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 04 日
Application Date

申請案號：092107789
Application No.

申請人：國立台灣大學
Applicant(s)

(西元 2003 年 7 月 23 日劉致為將本案之專利申
請權讓與國立台灣大學)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 8 日
Issue Date

發文字號：09220909070
Serial No.

申請日期: f2-4-4	IPC分類
申請案號: p210778P	H01L 29/172

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	應變矽鰭形場效電晶體
	英文	Strained Si FinFET
二、 發明人 (共3人)	姓名 (中文)	1. 張書通 2. 黃仕濤
	姓名 (英文)	1. Shu Tong Chang 2. Shi Hao Hwang
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣楊梅鎮秀才路20號 2. 臺北市羅斯福路四段一號台灣大學電機系515室
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 劉致為
	名稱或 姓名 (英文)	1. Chee Wee Liu
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 臺北市羅斯福路四段一號台灣大學電機系515室 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1.
	代表人 (英文)	1.



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中 文)	3. 劉致為
	姓 名 (英 文)	3. Chee Wee Liu
	國 籍 (中 英 文)	3. 中華民國 TW
	住 居 所 (中 文)	3. 臺北市羅斯福路四段一號台灣大學電機系515室
	住 居 所 (英 文)	3.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：應變矽鰭形場效電晶體)

本案係為一種將應變矽圍繞在矽鍺中心體所構成之鰭形場效電晶體，其包含：一絕緣層上矽(SOI)基底；一矽鍺中心體，用以產生應變矽；一圍繞矽鍺中心體的應變矽通道，使載子在傳輸方向的遷移率增加，使其有較大的電流，較快的速度；一氧化層；一複晶矽閘極電極(或金屬閘極電極)；以及源極、汲極使其形成場效電晶體結構。

五、(一)、本案代表圖為：第 ___二___圖

(二)、本案代表圖之元件代表符號簡單說明：

SOI(silicon on insulator)基底 10：成長矽鍺中心體的基底。

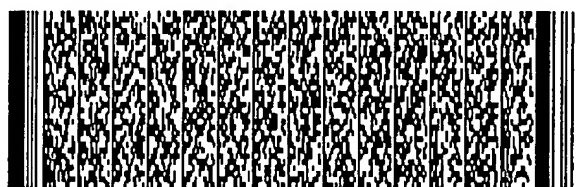
矽鍺中心體 6：用以產生應變矽。

圍繞在矽鍺中心體的應變矽 7：做通道用，用以增加載子速度。

氧化層 8：用以隔絕載子往閘極移動，在應變矽與氧化層

六、英文發明摘要 (發明名稱：Strained Si FinFET)

The strained Si surrounding the SiGe embedded body on the SOI (silicon on insulator) substrate to form novel FinFET. The mobility in the channel is enhanced due to the strain of Si channel. The strained Si FinFET is composed of a SOI substrate, an embedded SiGe body, a strained Si channel surrounding layer, a oxide layer, a poly Si gate electrode (or metal gate electrode), source and



四、中文發明摘要 (發明名稱：應變矽鰭形場效電晶體)

間形成通道。

複晶矽閘極電極(或金屬閘極電極) 9：作為閘極電壓控制。

六、英文發明摘要 (發明名稱：Strained Si FinFET)

drain.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



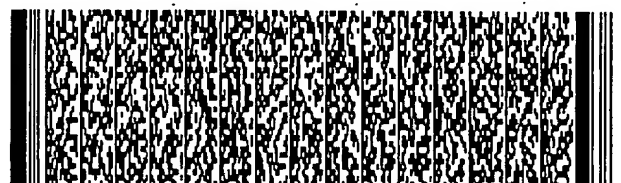
五、發明說明 (1)

發明領域

本案係一種場效電晶體，尤指應用於解決元件尺寸縮小所遭遇到物理極限的問題。可使元件密度增加，電流變大，速度變快。

發明背景

鰭形場效電晶體 (FinFET) 的好處之一為通道不需要摻雜 (doping)，當電晶體往小尺寸縮小時，這個特性就變得很重要了。換句話說，沒有摻雜的通道讓閘極更能控制臨界電壓 (threshold voltage)。另一個優點是這個鰭 (fin) 可以很窄，這個特性意味著在鰭 (fin) 的區域沒有能夠不受閘極的控制。在此種元件因為當元件關掉時，載子在沿源極到汲極，沒有產生漏電流的路徑，因此功率耗損很小。而在應變矽 (strained Si) 的金氧半電晶體場效電晶體 (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) 中，電子與電洞的遷移率 (mobility) 已被證實有增加的效果，應變矽現有的方法，是利用矽成長於鬆弛 (relaxed) 矽鍍層上。此鬆弛的矽鍍層可長在 SOI (silicon-on-insulator) 的基板上，稱為 SGOI (silicon-on-SiGe-on insulator，或者傳統的矽基板 (bulk Si)。但均證實可增強 P 型及 N 型金氧半場效電晶體的速度。事實上，Intel 已將應變矽技術用於其 90nm 製



五、發明說明 (2)

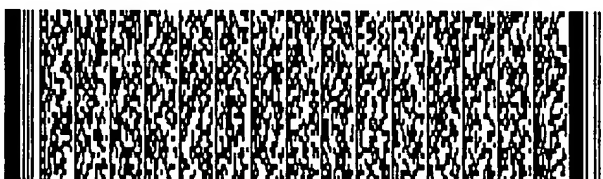
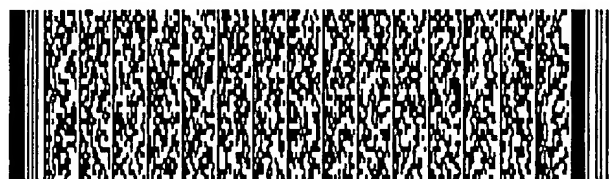
程節點 (technology node) 中。註 Intel 的技術是利用 bulk Si 的基板。

本發明即結合上述兩種元件的優點，設計出應變矽鰭形場效電晶體 (Strained Si FinFET) 結構，此電晶體可以使元件縮小，並提升元件的電流驅動力，突破傳統的物理極限。

發明概述

本案係為一種結合應變矽與鰭式場效電晶體的新型元件，其包含：絕緣層上矽 (Si on insulator, SOI) 基底；一矽鰭中心體，用以產生應變矽；一圍繞矽鰭中心體的應變矽，使在載子傳輸方向增加遷移率，此鰭形應變矽可以調整矽鰭中心體之厚度、寬度來控制應變的大小；一氧化層；一複晶矽閘極電極 (或金屬閘極)；以及源極與汲極形成場效電晶體結構。

根據上述構想，鰭形應變矽可經由下列方式得到：先利用在 SOI (silicon on insulator) 基底上成長矽鰭層，然後將矽鰭層與其下之 SOI 的矽層透過微影、蝕刻或其他可能之方式一起蝕刻成中心體之結構，此時再成長矽，圍繞矽鰭中心體而形成元件之通道。當矽鰭中心體的高度遠大於底層矽的厚度，且 SOI 基底之 SiO_2 與底層矽間在中心體寬度在 $10\sim 100\mu\text{m}$ 內時，是可以自由滑動 (free slipping)



五、發明說明 (3)

(參考文獻 1)，則矽鍺中心體為完全鬆弛 (relaxed)，此時圍繞矽鍺中心體之矽磊晶層為完全受 tensile strain 的應變矽。其詳細圖解說明見施例說明。

當矽鍺中心體的高度遠小於底層矽的厚度，則矽鍺中心體為完全應變 (strained)，此時此時圍繞矽鍺中心體之矽磊晶層為受 orthorhombic strain 的應變矽。其詳細圖解說明見施例說明。

其他可能的情況端視矽鍺中心體的鬆弛 (relaxation) 狀況而定，將使圍繞在矽鍺中心體上的應變矽磊晶層介於上述兩種極限之下。

根據上述構想，在該圍繞在矽鍺中心體的應變矽中載子可為電子或電洞，亦即可為 N 型通道與 P 型通道之場效電晶體。

根據上述構想，該應變矽所受之應變可使載子在傳輸方向增加速度。

根據上述構想，複晶矽閘極 (poly gate)，可為 n+poly gate 或 p+poly gate。

簡單圖式說明

本案得藉由下列圖式及詳細說明，俾得更深入之了解：

第一圖：(a) 現行已發展之鰭形矽場效電晶體實施例結構示意圖；(b) 現行鰭形矽橫截面實施例結構示意圖。

第二圖：本專利之創新鰭形結構，取代圖一中的矽鰭部分



五、發明說明 (4)

第三圖：在傳統鰭形矽場效電晶體中鰭形矽載子的等效遷移率對等效電場的關係。

第四圖：其係本案實施例之單位晶胞圖示：矽鍺中心體為完全鬆弛。其中 11、12、13、14 均為受 tensile strain 的應變矽單位晶胞。

第五圖：其係本案實施例之圍繞完全鬆弛之矽鍺中心體的應變矽中電子、電洞遷移率增加因數對鍺濃度之關係。

第六圖：其係本案實施例之單位晶胞圖示：矽鍺中心體為完全應變。其中 12 與 13 為受 orthorhombical strain 的應變矽單位晶胞，而 11 與 14 則未受 strain，其晶格常數與 relaxed Si 相同。

第七圖：其係本案實施例之圍繞完全應變之矽鍺中心體的應變矽中電子、電洞遷移率增加因數對鍺濃度之關係。

本案圖式中所包含之各單元列示如下：

SOI (silicon on insulator, 絕緣層上矽) 1 及 10。

矽 2。

氧化層 3。

複晶矽閘極電極 (或金屬閘極) 4。

源極與汲極電極 5。

矽鍺中心體 6。

圍繞矽鍺中心體的應變矽 7。

氧化層 8。

複晶矽閘極電極 (或金屬閘極) 9。



五、發明說明 (5)

矽銻中心體底部之應變矽 11。

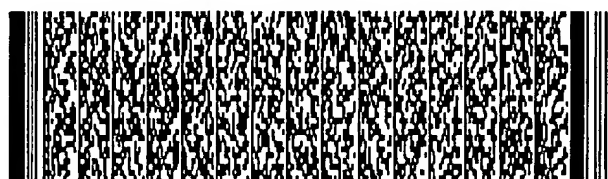
矽銻中心體左側之應變矽 12。

矽銻中心體側右之應變矽 13。

矽銻中心體頂部之應變矽 14。

施例說明

請參見第一圖之(a)，其係現行已發展之鰭型矽場效電晶體實施例結構示意圖(參考文獻 G. Kastner and Gosele, "Principles of strain relaxation in heteroepitaxial films growing on compliant substrate," J. Appl. Phys., Vol. 88, pp. 4048-4055, 2000.)，其中主要單元係由如圖所示之 SOI (silicon on insulator, 絕緣層上矽) 1、鰭形矽 2、氧化層 3、複晶矽閘極電極 4及源極與汲極電極 5所完成。其中 A-A'與 B-B'為鰭形矽在不同方向的截面，如圖一之(b)所示。對應圖一之結構的傳統鰭形矽場效電晶體，其載子的等效遷移率 (effective mobility) 與等效電場的關係如圖三所示。電子與電洞均遵照 universal mobility 的曲線。在圖一之(a)中的鰭形矽 (Fin Si) 用新型的應變矽 (strained Si) 結構來所取代，而新型的應變矽 (strained Si) 結構與其 A-A' 截面的截面圖如圖二所示，若當內層矽銻中心體之高度 (H) 及寬度 (W) 較底層矽的厚度 (T_1) 大很多，以致矽銻中心體為鬆弛 (relaxed) 的狀態，而



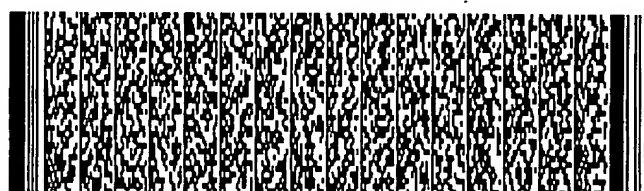
五、發明說明 (6)

周圍的矽為應變 (strained) 的狀態。因應變矽的遷移率較高，因而應變矽鰭形場效電晶體的速度也較快。Relaxation 百分比在熱平衡下，可用下式估計：

$$\text{relaxation} = H / (H + T_1)$$

因為先成長底層矽 11，在成長鬆弛 (relaxed) 的矽鍺，再蝕刻鬆弛的矽鍺及底層矽 11 成為中心體形狀，再低溫成長三側的 12、13、14，所以 relaxation 與 T_2 、 T_3 、 T 較無關係，因此在 H 夠大的正常元件設計下 (例如 $H = 10T_1$)，矽鍺中心體可以幾乎完全 relaxed，圍繞其矽鍺中心體周圍之矽幾乎受完全 strain，則用此 strained Si 做為通道，而得到的載子遷移率增加。如圖四的單位晶胞圖例說明，可進一步了解應變矽形成的機制與遷移率增加的原因。

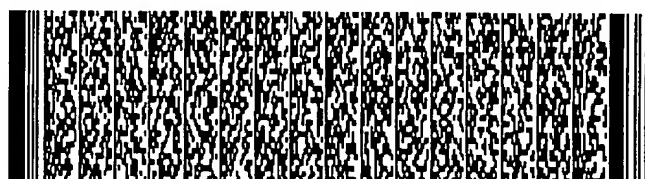
假設兩材料界面的晶格匹配良好且沒有錯位產生，因此平行界面的晶格常數與較厚的材料幾乎相同，在矽鍺中心體寬度在 $10 \sim 100 \mu \text{m}$ 內，則矽 (1) 與 SOI 之氧化層是自由滑動 (free slipping) (詳見參考文獻 G. Kastner and Gosele, "Principles of strain relaxation in heteroepitaxial films growing on compliant substrate," J. Appl. Phys., Vol. 88, pp. 4048-4055, 2000.) 此時圍繞矽鍺中心體四側的矽為受 tensile strain 之 strained Si。會叫做 tensile strain，主要因為在圖四中的 11、12、13、14 的單位晶胞是要與晶格常數一樣大小的矽鍺中心體四個側面匹配，使得方向 1 平行



五、發明說明 (7)

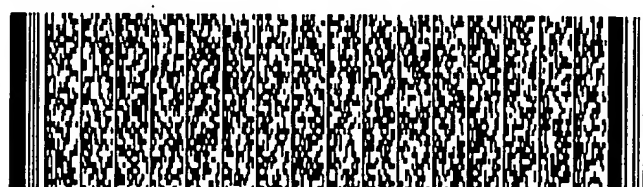
的晶格常數及與通道方向同向的晶格常數與完全鬆弛的矽鍺中心體一樣，而與方向 2 平行的晶格常數最短，故稱 11、12、13、14 為受 tensile strain 的 strained Si，而四側通道方向的遷移率均會因 strain 的關係增加。圖五代表矽受到雙軸拉伸應變 (tensile strain) 後，電子與電洞遷移率增加因數受到應變影響的情況，其遷移率是在通道方向，計算過程可參考文獻 (F. M. Bufler et al., "Hole and Electron Transport in Strained Si: Orthorhombic versus biaxial tensile strain," Appl. Phys. Lett., Vol. 81, pp. 82-84, 2002) 之結果。一般來講，在圍繞矽鍺中心體四側的應變矽中的通道方向，0.8% 之應變會增加約 60% 電子遷移率及 2.25 倍電洞遷移率。此時用鬆弛矽鍺中心體來成長應變矽，則需要 20% 鍺莫耳比例 (mole fraction)。

若矽鍺因成長技術改變，而完全 strained，例如 T 鈎大或者低溫非平衡成長，則矽鍺中心體依然保有 strain，形成 tetragonal 晶格，則在圍繞此矽鍺中心體左右兩側上之矽的載子遷移率增加。如圖六所示，之所以會叫做 orthorhombical strain，主要因為在圖六中 12 與 13 單位晶胞是長在晶格常數不一樣大小的矽鍺中心體側面，與方向 1 相平行的晶格常數較長而與通道方向平行的晶格常數與 relaxed Si 一樣，與方向 2 平行的晶格常數最短，故稱 12 與 13 為受 orthorhombic strain 的 strained Si，其遷移率在方向 1 與通道方向均有增加 (因為有效導電質量變小之



五、發明說明 (8)

故)。而在矽鍺中心體底部與頂部的 11 與 14 均為 relaxed Si，遷移率並沒有增加。圖七代表圍繞矽鍺中心體左右兩側上的矽，其受到非雙軸拉伸應變 (orthorhombic tensile strain) 後，電子與電洞遷移率沿通道方向增加因數受到應變影響的情況 (計算參考文獻：F. M. Bufler, "Hole Transport in Orthorhombically strained Si," Journal of Computational Electronics, Vol. 1, pp. 175-177, 2002; Xin Wang et al., "Monte Carlo Simulation of Electron Transport in Simple Orthorhombically Strained Silicon," J. Appl. Phys., Vol. 88, pp. 4717-4724, 2000; F. M. Bufler et al., "Hole and Electron Transport in Strained Si: Orthorhombic versus biaxial tensile strain," Appl. Phys. Lett., Vol. 81, pp. 82-84, 2002)。一般來講，當矽鍺中心體為完全應變時，圍繞其上來成長應變矽，當 20% 鍺莫耳比例 (mole fraction) 時，在圖二中的 12 與 13 在其通道方向之應變會 1.5 倍電子遷移率及 1.8 倍電洞遷移率，然而在 11 與 14 因為並沒受 strain，所以遷移率並未增加。以上圖三、五、七所示之遷移率均未考慮 Si/SiO₂ 界面表面粗糙 (surface roughness) 對遷移率所造成的影響，一般來說，愈粗糙的界面其遷移率愈低。根據參考文獻 (M. V. Fischetti, F. Gamiz, and W. Hansch, "On the enhanced electron mobility in strained-silicon inversion layers," Journal of Applied Physics, Vol.

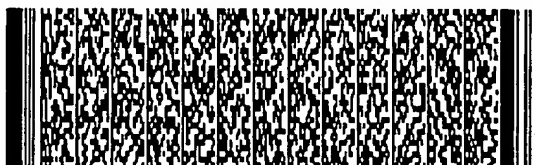


五、發明說明 (9)

92, pp. 7320-7324, 2002.)的模擬結果，strained Si的表面粗糙的程度用比傳統矽要來得小的參數來模擬才能與其等效遷移率對等效電場的曲線吻合，在實驗上，在有氧化層時確實看到遷移率增加的現象，此現象對電子而言較明顯，電洞則沒看到此一現象。足見載子在應變矽中遷移率能大大提升，而本案所提之應變矽鰭形場效電晶體亦受惠其遷移率增加之優點，大幅改善電晶體速度。

綜上所述，本案所揭露之應變矽鰭形場效電晶體，其係利用矽鰭中心體來產生應變矽，使此鰭形應變矽兼具應變矽場效電晶體與鰭形場效電晶體的優點。本案所揭露之應變矽鰭形場效電晶體，將可有效地克服元件在縮小化所遭遇物理的極限，製作小而快速的電晶體元件。

故本案發明得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。



圖式簡單說明

第一圖：(a)現行已發展之鰭形矽場效電晶體實施例結構示意圖；(b)現行鰭形矽橫截面實施例結構示意圖。

第二圖：本專利之創新鰭形結構，取代圖一中的矽鰭部分

第三圖：在傳統鰭形矽場效電晶體中鰭形矽載子的等效遷移率對等效電場的關係。

第四圖：其係本案實施例之單位晶胞圖示：矽鍺中心體為完全鬆弛。其中矽 11、矽 12、矽 13、矽 14均為受 tensile strain 的應變矽單位晶胞。

第五圖：其係本案實施例之圍繞完全鬆弛之矽鍺中心體的應變矽中電子、電洞遷移率增加因數對鍺濃度之關係。

第六圖：其係本案實施例之單位晶胞圖示：矽鍺中心體為完全應變。其中矽 12與矽 13為受 orthorhombical strain 的應變矽單位晶胞，而矽 11與矽 14則未受 strain，其晶格常數與 relaxed Si 相同。

第七圖：其係本案實施例之圍繞完全應變之矽鍺中心體的應變矽中電子、電洞遷移率增加因數對鍺濃度之關係。



六、申請專利範圍

1. 鰭形應變矽場效電晶體，其包含：

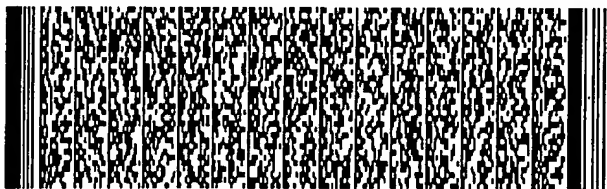
- SOI (silicon on insulator, 絕緣層上矽) 基底
- 矽鍺中心體
- 圍繞矽鍺中心體的應變矽
- 氧化層
- 複晶矽閘極電極
- 源極與汲極電極

2. 如申請專利範圍第 1 項所述之結構，其中矽鍺中心體亦可為矽鍺碳合金、或其他四族多元合金。

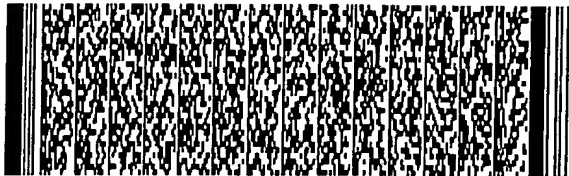
3. 如申請專利範圍第 1 項所述之結構，氧化層亦可為其他絕緣層，如 high K 材料、 Si_3N_4 、oxynitride……等。

4. 如申請專利範圍第 1 項所述之結構，其傳導載子可為電子或電洞，亦即 P 型通道或 N 型通道之場效電晶體。

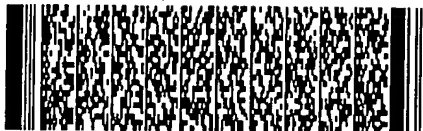
5. 如申請專利範圍第 1 項所述之結構，其中複晶矽閘極電極亦可複晶矽鍺閘極，並且皆包含 n+ 與 p+ 摻雜之複晶矽或複晶矽鍺或者金屬閘極電極。



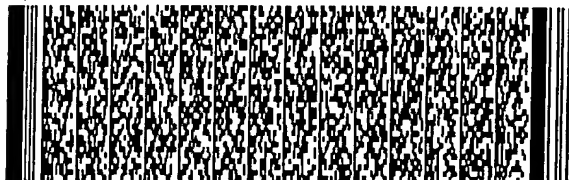
第 1/16 頁



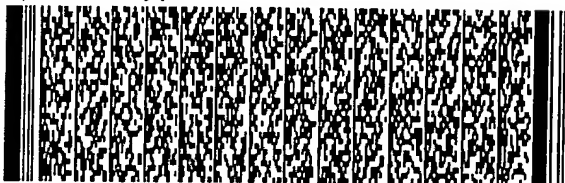
第 2/16 頁



第 3/16 頁



第 3/16 頁



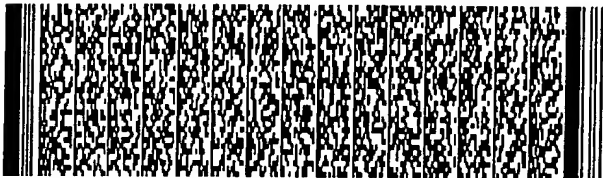
第 4/16 頁



第 5/16 頁



第 6/16 頁



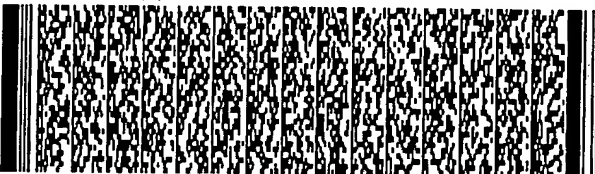
第 6/16 頁



第 7/16 頁



第 7/16 頁



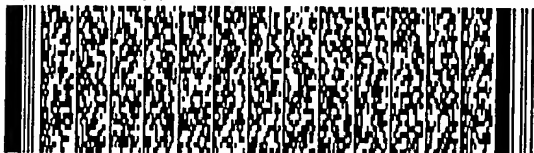
第 8/16 頁



第 8/16 頁



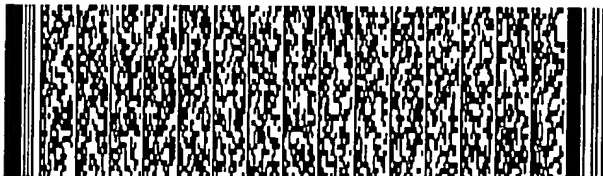
第 9/16 頁



第 9/16 頁



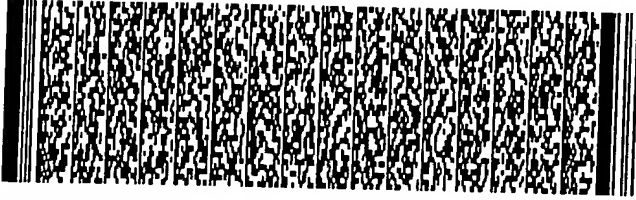
第 10/16 頁



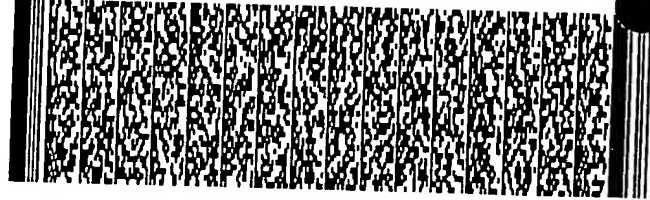
第 10/16 頁



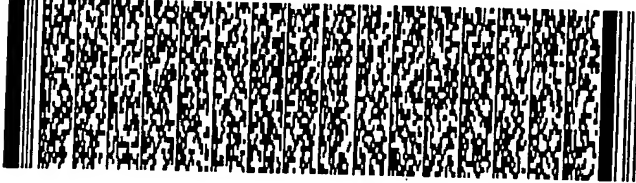
第 11/16 頁



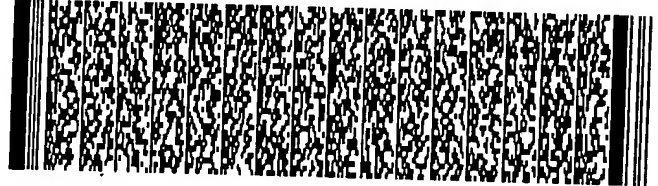
第 11/16 頁



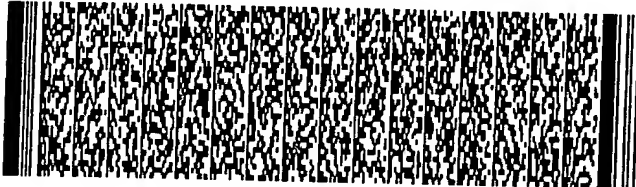
第 12/16 頁



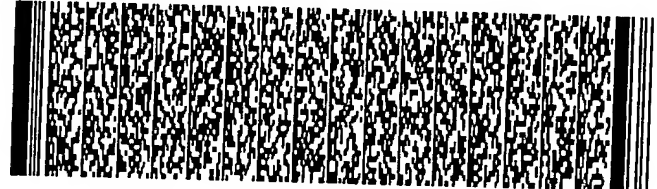
第 12/16 頁



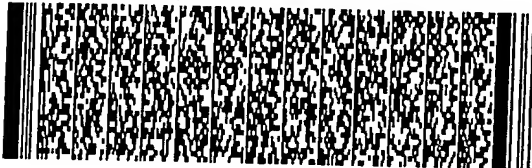
第 13/16 頁



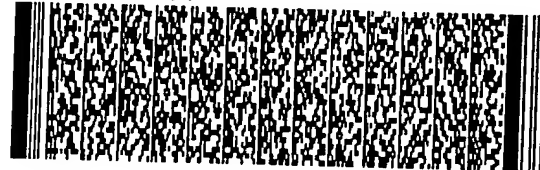
第 13/16 頁



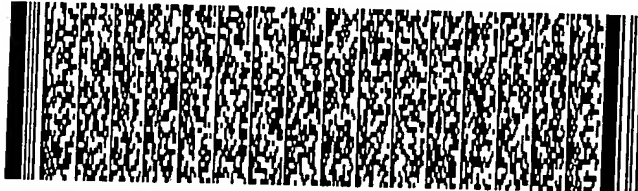
第 14/16 頁



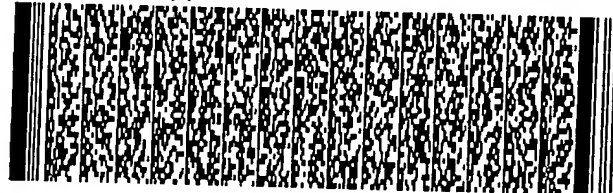
第 14/16 頁



第 15/16 頁

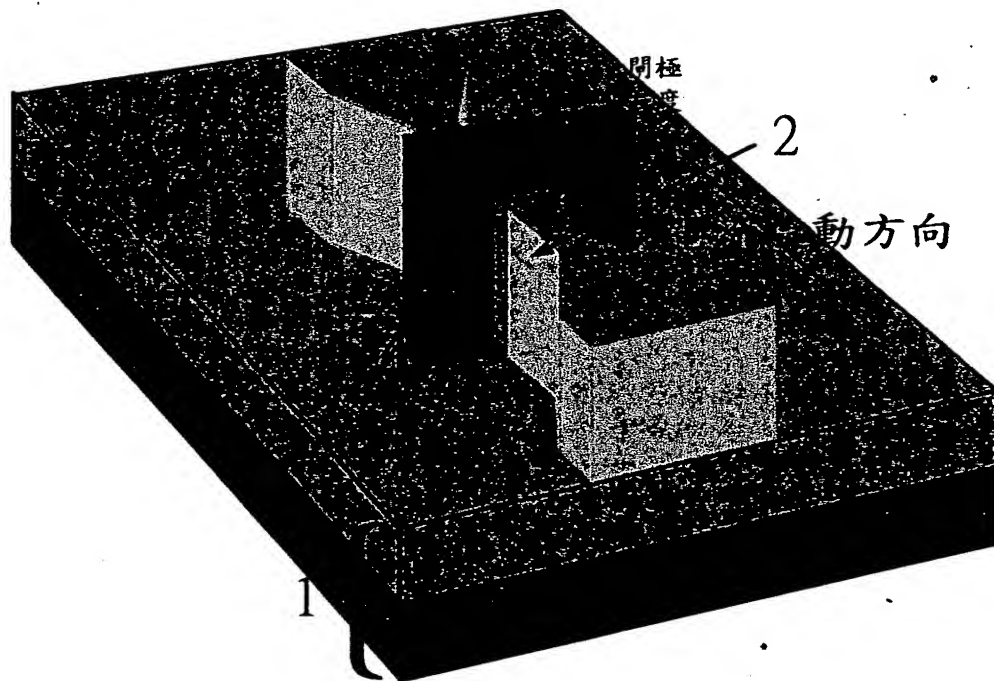


第 16/16 頁

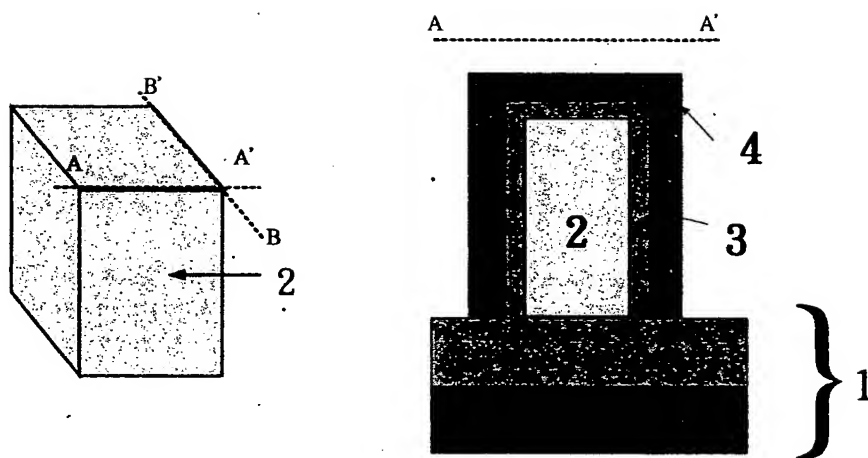


第一圖(a)現行已發展之鰭形矽場效電晶體實施例結構示意圖;(b) 鰭形應變矽橫截面實施例結構示意圖。

(a)

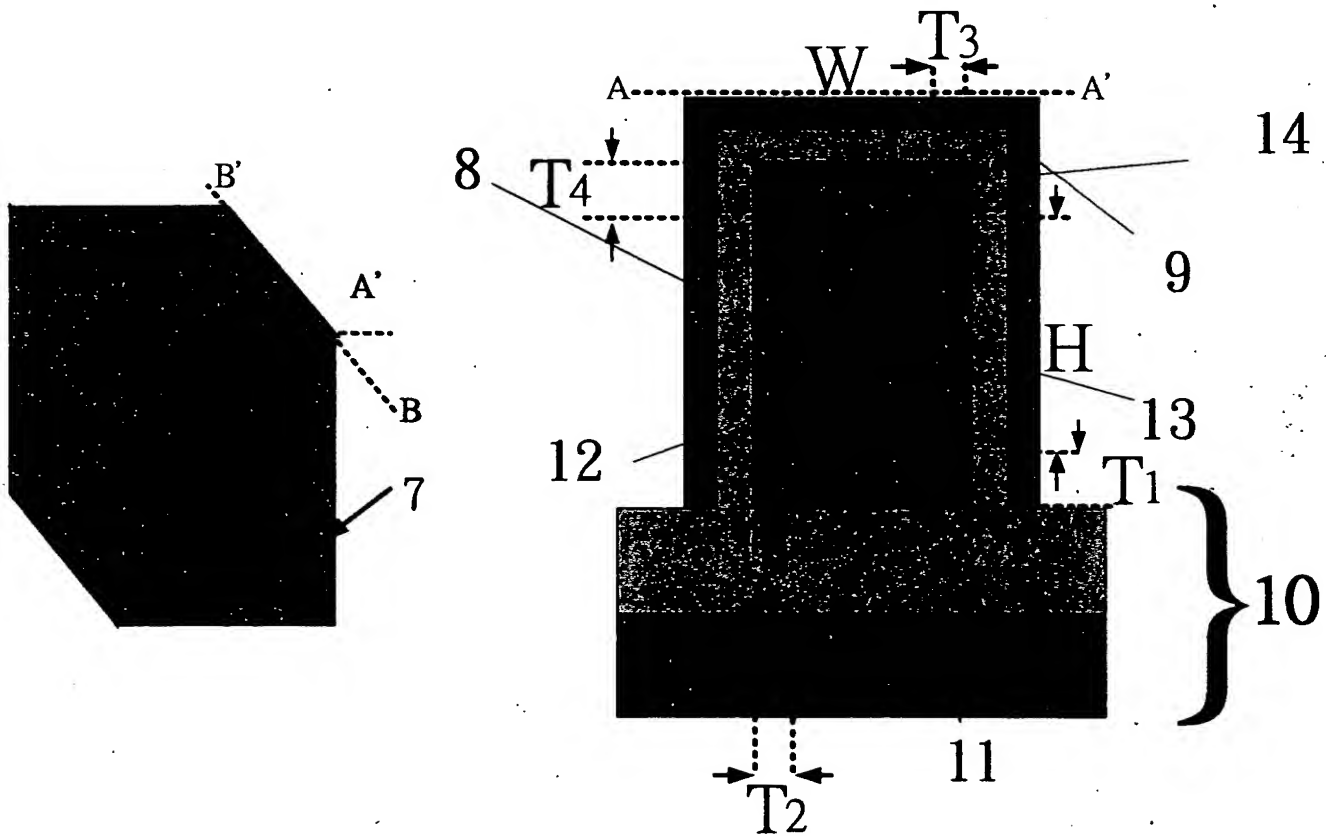


(b)

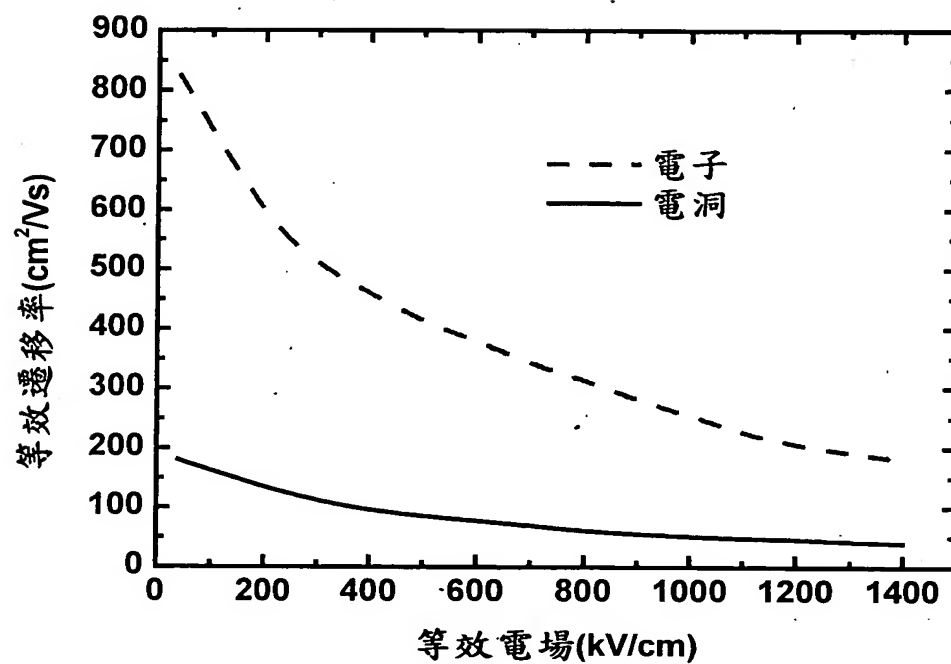


第二圖 本專利之創新鰭形結構，取代圖一中之矽鍍。

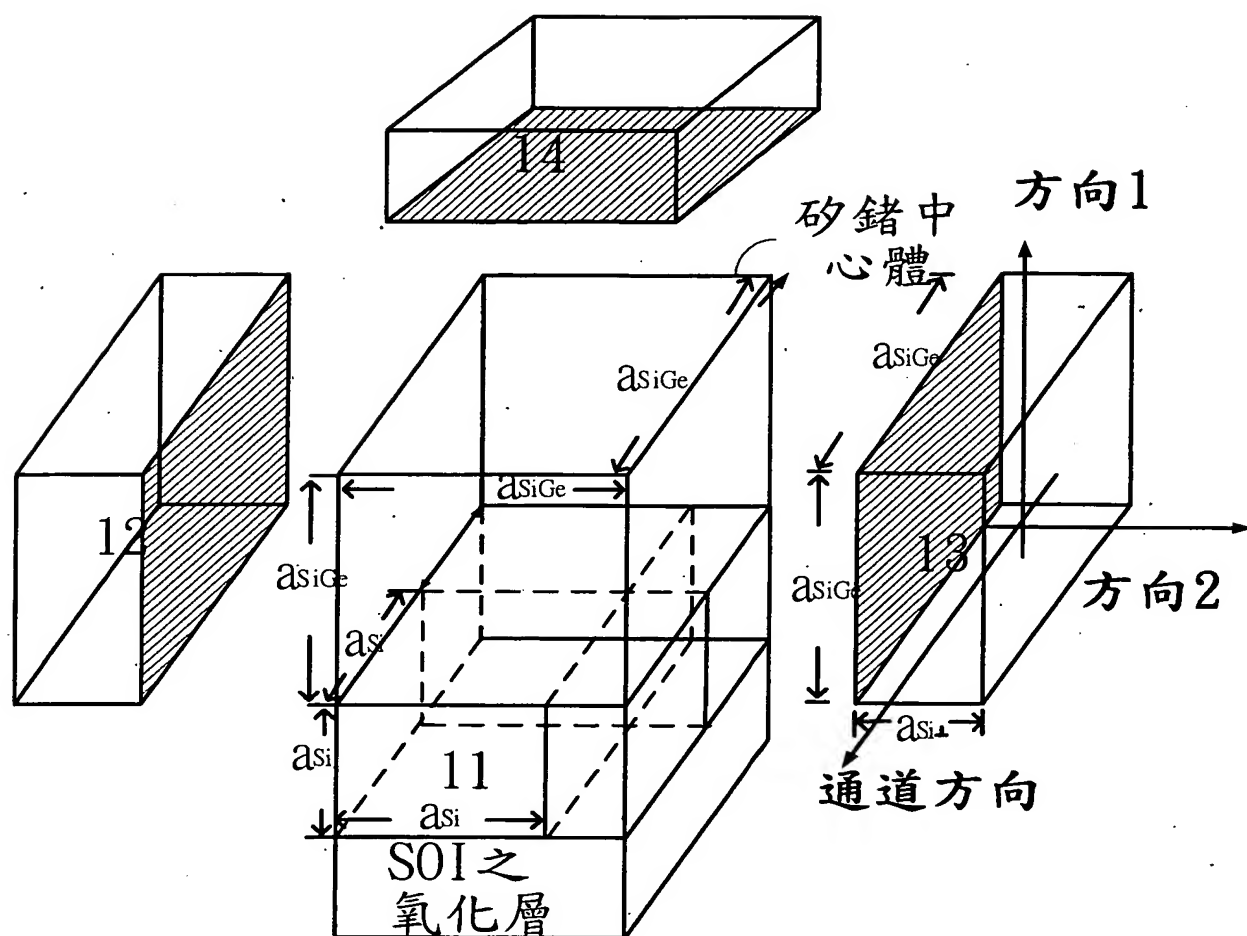
其中 H : 矽鍍中心體之高度。 W : 矽鍍中心體之寬度。 11 : 為矽鍍中心體底部之矽。 12 : 為矽鍍中心體左側之應變矽。 13 : 為矽鍍中心體側右之應變矽。 14 : 為矽鍍中心體頂部之應變矽。對應於 11 、 12 、 13 、 14 等四個應變矽層的厚度分別為 T_1 、 T_2 、 T_3 、 T_4 。源極與汲極部分與圖一之(a)同。



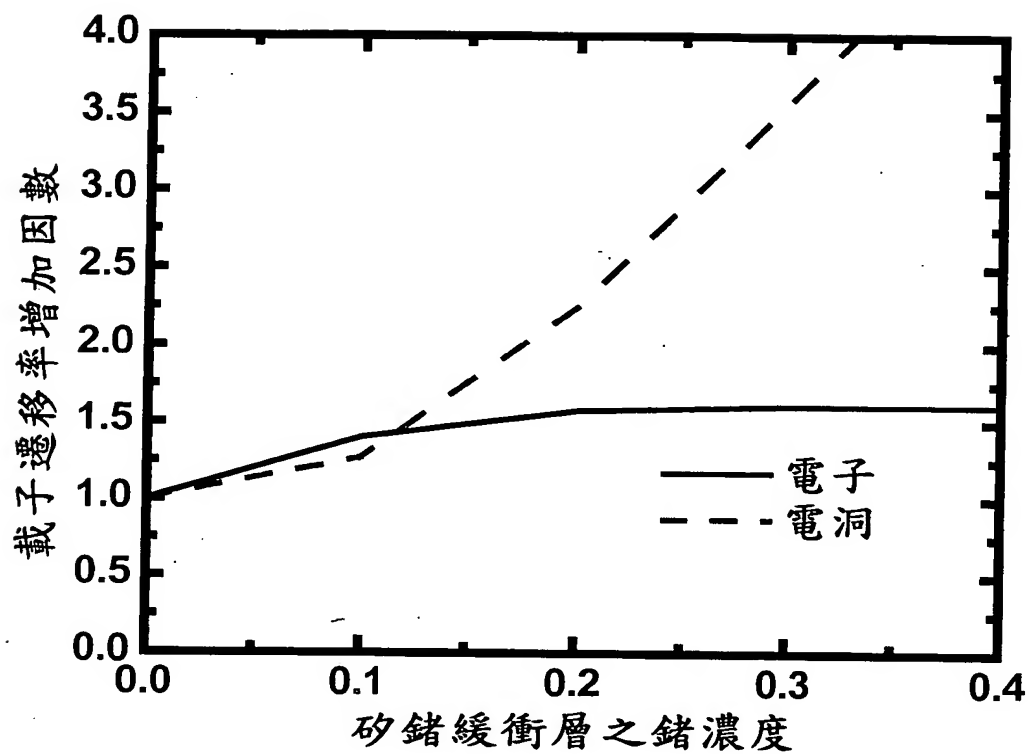
第三圖在傳統鰭形矽場效電晶體中鰭形矽載子的等效遷移率對等效電場的關係。



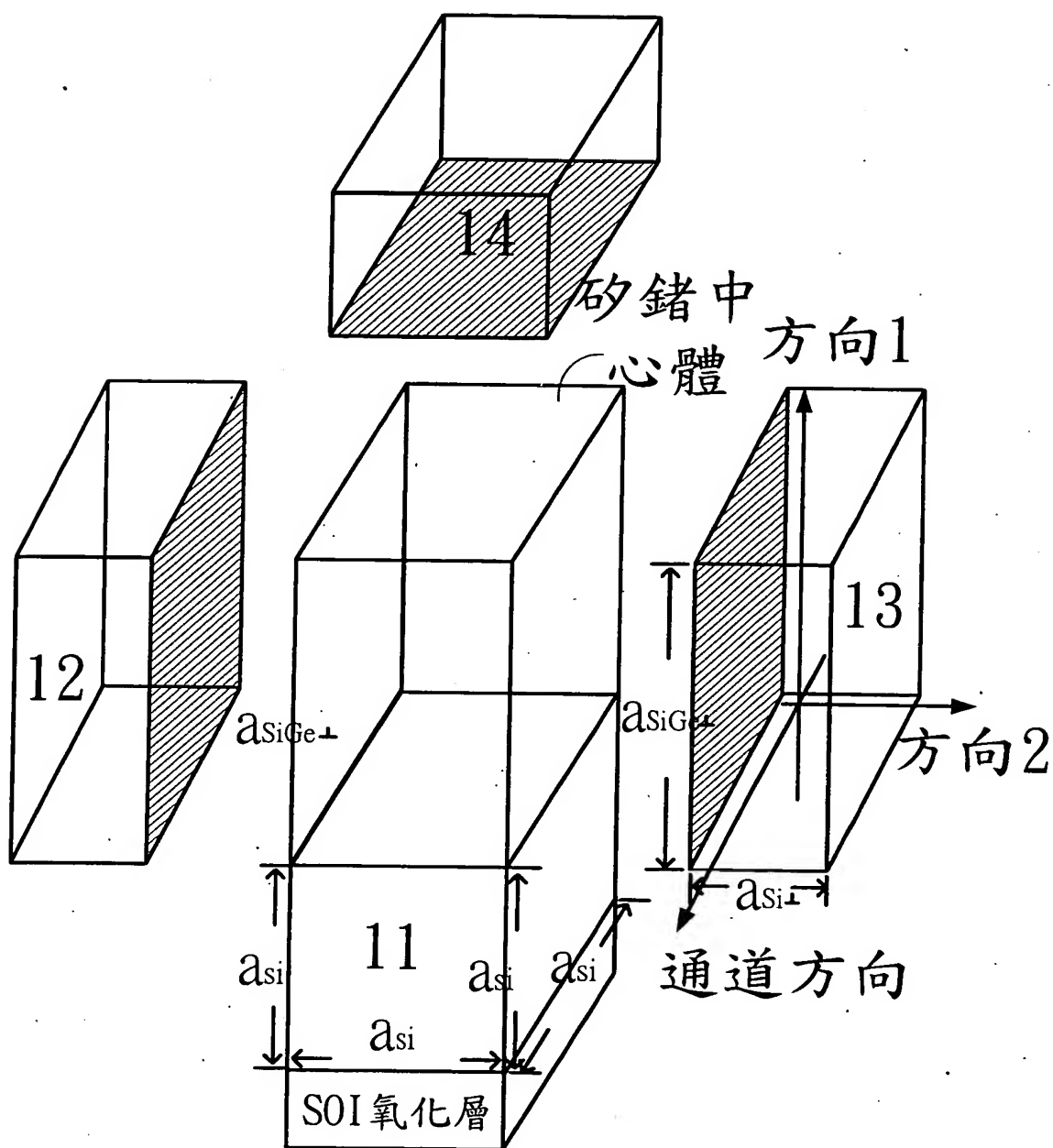
圖四單位晶胞圖示：矽鍺中心體為完全鬆弛。其中11、12、13、14均為受 tensile strain 的應變矽單位晶胞。



第五圖矽鍺中心體為完全鬆弛時，應變矽中電子、電洞遷移率增加因數對鍺濃度之關係。



圖六單位晶胞圖示：矽鍺中心體為完全應變。其中12與13為受orthorhombical strain的應變矽單位晶胞，而11與14則未受strain，其晶格常數與relaxed Si相同。



第七圖矽鍺中心體為完全應變時，應變矽中電子、電洞遷移率增加因數對鍺濃度之關係。

